

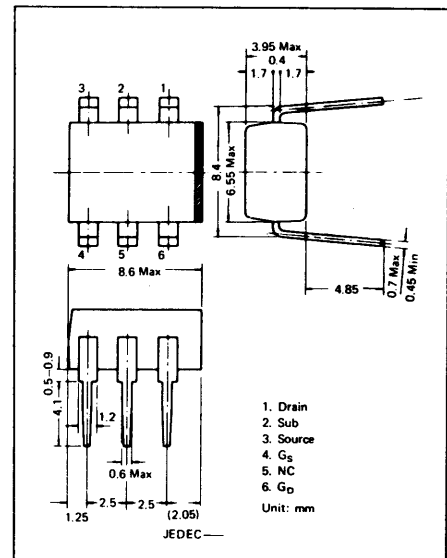
TX429D

Silicon P-Channel MOS FET (Variable Resistor)

- 電圧制御型可変抵抗素子
- Semiconductor Electrically Variable Resistor (SEVR)
- 直線性が良く、低歪率の可変抵抗素子である。
- V_{DS} - I_{DS} 特性が±数Vにわたってリニアのためダイナミックレンジを広くとれる。
- VHF帯までの信号を扱える。
- High Frequency, Wide Dynamic Range, Low Distortion

絶対最大定格 Absolute Maximum Ratings $T_a = 25^\circ\text{C}$

Characteristics	Symbol	TX429D
ドレイン・ソース間電圧 Drain-to-Source Voltage	V_{DS}	-20V ($V_{GB} = 0\text{V}$)
ゲート・基板間電圧 Gate-to-Base Voltage	V_{GB}	-25V
ドレイン・基板間電圧 Drain-to-Base Voltage	V_{DB}	-25V
ドレイン電流 Drain Current	I_D	±15 mA
電力損失 Power Dissipation	P_T	100 mW
チャンネル温度 Channel Temperature	T_{ch}	80°C
保存温度 Storage Temperature	T_{stg}	-50—+125°C



電気的特性 Electrical Characteristics $T_a = 25^\circ\text{C}$

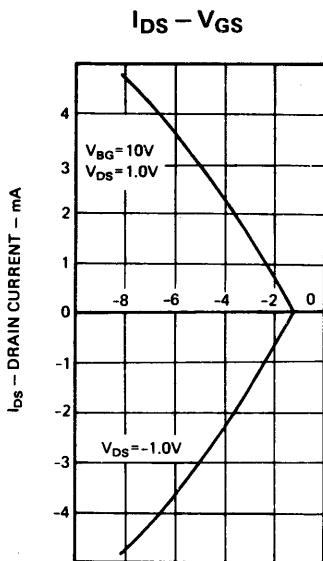
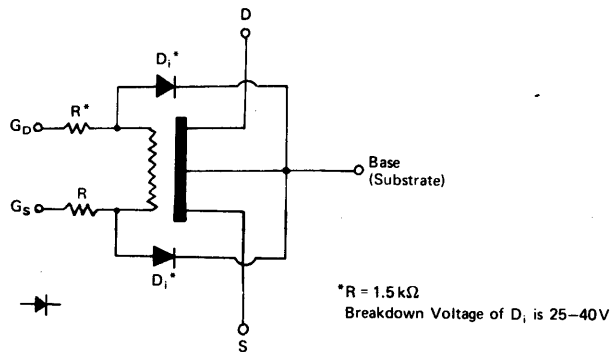
Characteristics	Symbol	Conditions	Min.	Typ.	Max.	Unit
ドレイン・ソース間電圧 Drain-to-Source Voltage	V_{DSS}	$I_{DS} = 10\mu\text{A}$	-20			V
ドレイン電流 Drain Current	I_{DS}	$V_{GS} - V_{THE} = -10$, $V_{DS} = -2\text{V}$, $V_{BG}^* = 10\text{V}$, $V_S = 0\text{V}$	-6	-10		mA
シグナル 閾値電圧 Threshold Voltage	V_{TH0}	$V_{BG} = 0\text{V}$, $V_S = 0\text{V}$, $I_{DS} = -1\mu\text{A}$, $V_{DS} = -1\text{V}$	-0.4	-1.0	-2.5	V
シグナル 実行閾値電圧 Effective Threshold Voltage	V_{THE}	$V_{BG} = 10\text{V}$, $V_S = 0\text{V}$, $I_{DS} = -1\mu\text{A}$, $V_{DS} = -1\text{V}$	-0.4	-1.2	-3.0	V
伝達コンダクタンス Forward Transfer Admittance	G_m	$V_{GS} - V_{THE} = -3\text{V}$, $V_S = 0\text{V}$, $V_{BO} = 10\text{V}$, $V_{DS} = -1\text{V}$		0.8		mS
最小チャンネル抵抗 Minimum Channel Resistance	R_{cho}	$V_{GS} - V_{THE} = -10\text{V}$, $V_S = 0\text{V}$, $V_{BG} = 10\text{V}$, $V_{DS} = -1\text{V}$	150	200	300	Ω

TX429D

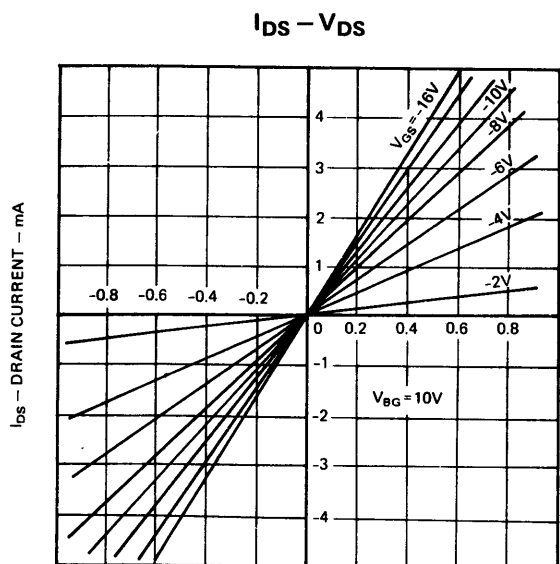
電気的特性 Electrical Characteristics $T_a = 25^\circ\text{C}$ (Continued)

Characteristics	Symbol	Conditions	Min.	Typ.	Max.	Unit
低周波歪率 Low Frequency Distortion	L_{FD}	$V_{in} = 0\text{ dB}$, $V_{out} = -6\text{ dB}$, $f_{in} = 20\text{ Hz}$, $V_{BG} = 10\text{ V}$		0.6		%
標準歪率 Standard Distortion	S_D	$V_{in} = 0\text{ dB}$, $V_{out} = -6\text{ dB}$, $f_{in} = 1\text{ kHz}$, $V_{BG} = 10\text{ V}$		0.4		%
ゲート抵抗 Gate Resistance	R_G	D.C.	50		1000	$M\Omega$
ゲート・リーク電流 Gate Cutoff Current	I_{GSS}	$V_{GS} = -5\text{ V}$			-0.2	μA
熱抵抗 Thermal Resistance	θ_{ch}				550	$^\circ\text{C}/\text{W}$
ドレイン容量 Drain Capacitance	C_p	$V_{BG} = 10\text{ V}$, $f = 1\text{ MHz}$, Fig. 2		4.5		pF

* V_{BG} : Base (Substrate)-to-Ground Supply Voltage

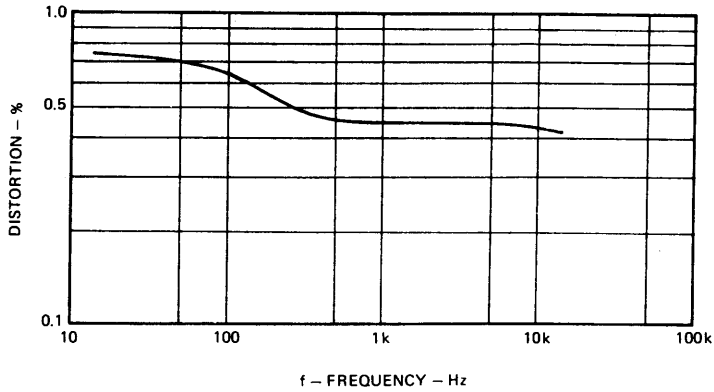


V_{GS} - GATE-TO-SOURCE VOLTAGE - V



V_{DS} - DRAIN-TO-SOURCE VOLTAGE - V

DISTORTION - f



歪率-周波数特性、 V_{DS} - I_{DS} 、チャンネル抵抗測定回路

Test Circuit of Distortion - Frequency, V_{DS} - I_{DS} , and Channel Resistance

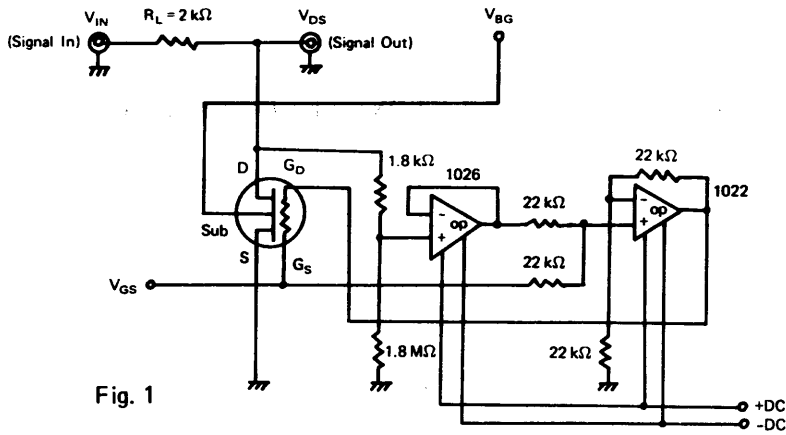


Fig. 1

C_p - Test Circuit
 r_p

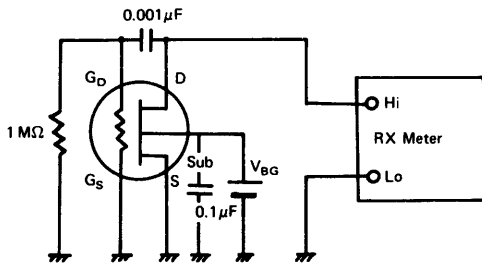
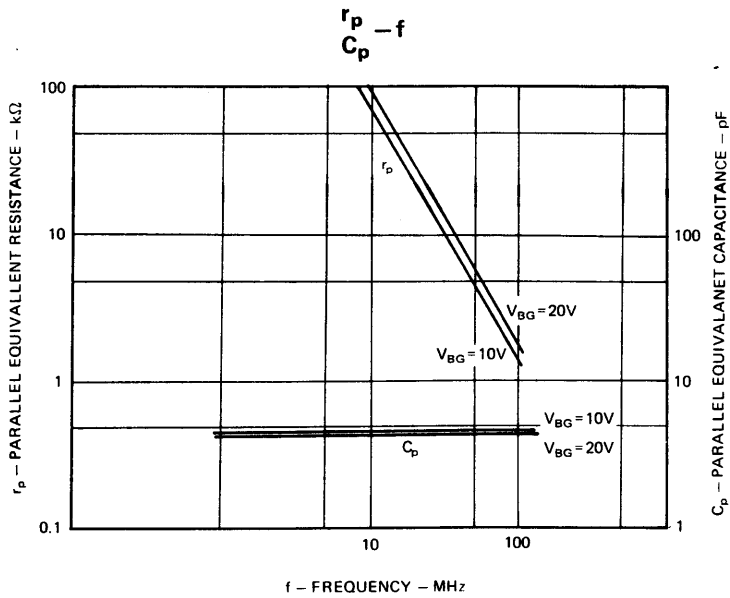
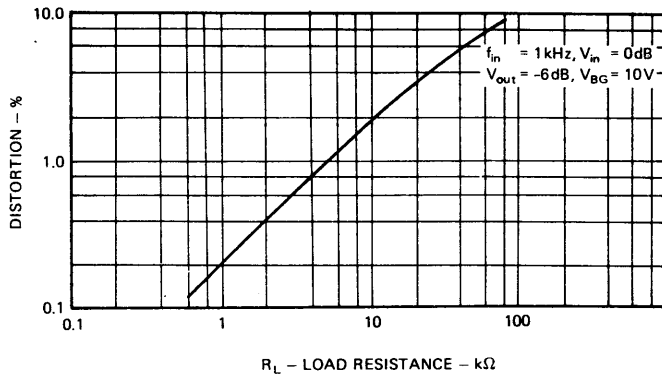


Fig. 2

DISTORTION - R_L



解説

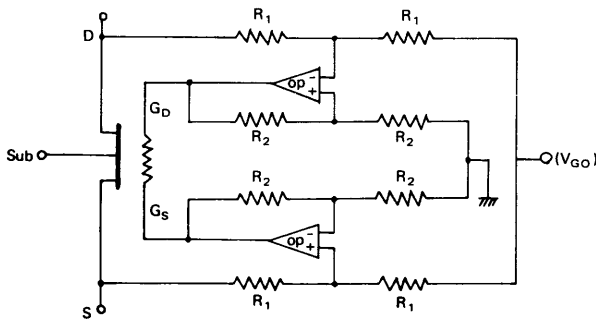
SEVRの基本的使用方法 Introduction and Applications of SEVR

●基本回路 Basic Operation

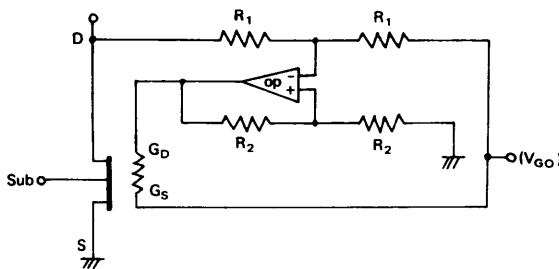
SEVR-FETの基本構造から各ゲート端子に与える電位は次のようになる。

$$\begin{cases} V_{GD} = V_{GO} + V_D \\ V_{GS} = V_{GO} + V_S \end{cases}$$

この関係式を満足する回路は (Theoretical circuits)



ソース接地を行った場合 (Source grounded circuits)

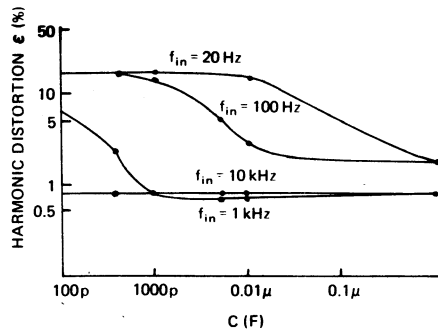
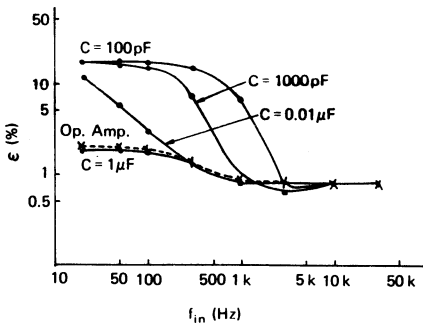
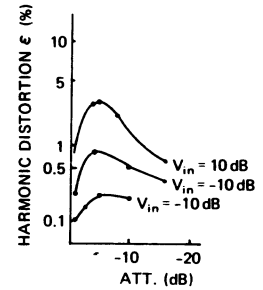
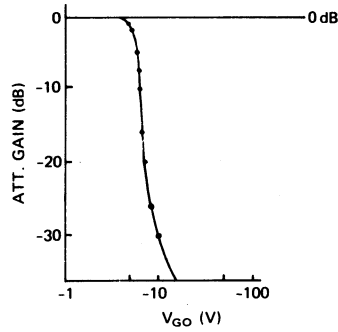
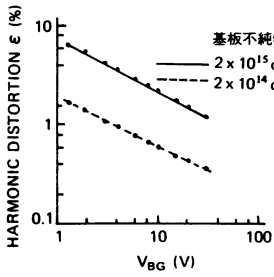
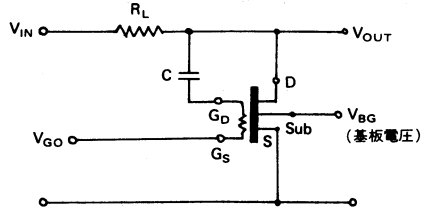
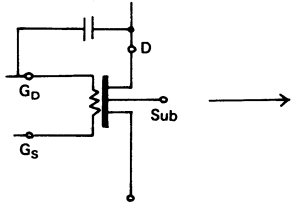


オペアンプを使用している理由は、ゲート電位(V_{GD})の応答速度が早く、ドレイン・ソース間の信号は直流でも交流でもよく、歪率の周波数特性が良いことによる。実用に際しては特殊な場合を除きコスト高のため容量接合回路を使用する。

In Actual Circuits, Condenser Coupled Circuits are useful for Cost Reduction.

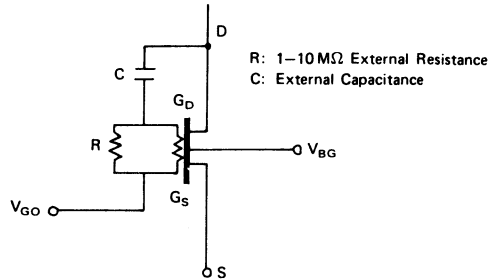
TX429D

● 容量結合による基本回路と条件の選び方 Condenser Coupled Basic Circuits



● 実用使用回路 Actual Circuits

- (1) SEVR-FETのゲート抵抗が極めて高く数百100MΩを示し抵抗値もバラツクので1~数MΩの抵抗を外付すると使いよい。

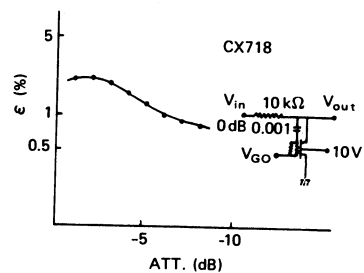
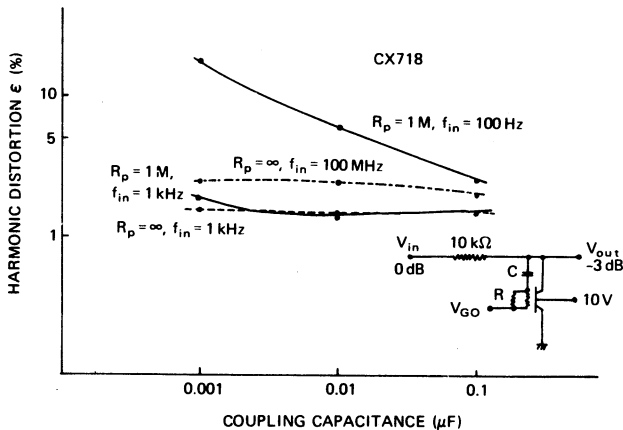
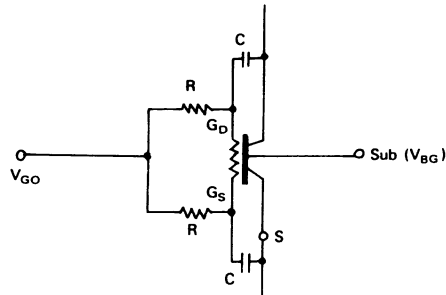


この容量結合回路では制御電圧VGOを変化させると過渡的にGD、GS間にVGOの電圧変化分が発生し、(Transitional unbalance as follows:)

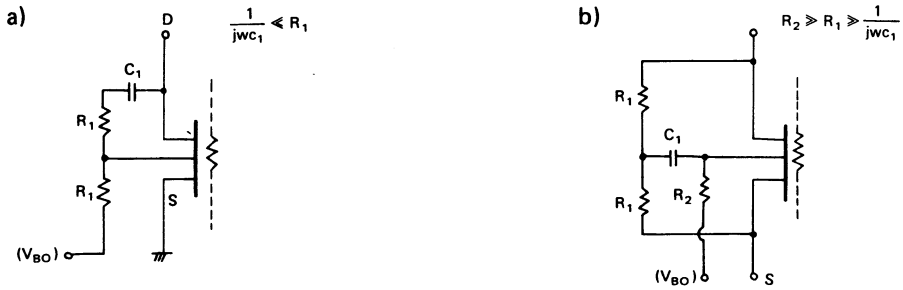
$$\begin{cases} V_{GD} \neq V_{GO} + V_D \\ V_{GS} \neq V_{GO} + V_S \end{cases}$$

となるので、過渡的に歪率が悪化する。したがって制御電圧の周波数が比較的高くかつ過渡的な歪率の悪化も問題となる場合、次のようにする必要が生じる。

(Transitional-distortion reduced circuits)



- (2) 基板の空間電荷の影響による非直線を取り除くためドレイン・ソース間電圧の1/2をフィードバックする。これにより歪率改正を行う。
 (Distortion reduced circuits of space-charge in base)



- (3) アッテネーター回路例
 For examples of attenuator circuits

