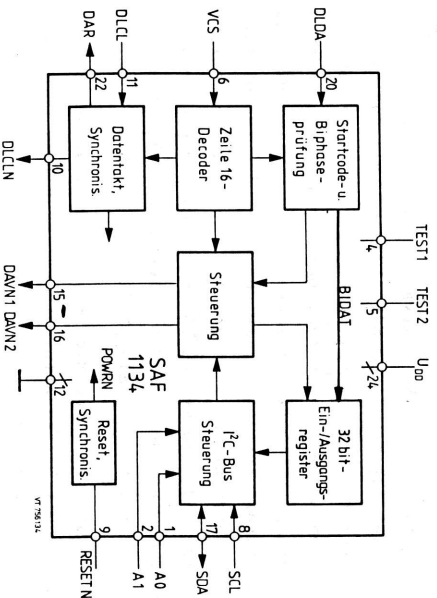
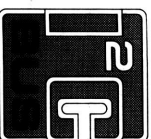


Integrierte CMOS-Schaltung

DATENZEILEN - DECODER

mit serieller I²C-Bus Schnittstelle

Verarbeitung der vom Datenzeilen-Processor SAA 5235 bereitgestellten VPS-Daten zur Steuerung von Videorecordern und Fernsehgeräten.



Besonderheiten

- Selektion der Zeile 16 aus dem Fernsehsignal
- Startcode-Prüfung
- Biphasen-Prüfung
- getrennte Daten-Ein-/Ausgangsregister (2 x 32 bit) für Wörter 11 bis 14
- serielle I²C-Busschnittstelle

Kurzdaten

Speisespannung	U _{DD}	=	5	V
Speiestrom	I _{DD}	=	typ. 5	mA
Datenrate	R _{DATA}	=	2,5	MBit/s
Eingangsfrequenz	f _{DLCL}	=	5	MHz

Funktionsbeschreibung

Die Schaltnetz SAF 1134 decodiert die VPS-Informationen, die in Zeile 16 (1. Halbbild) des Fernsehsignals von ARD und ZDF übertragen werden. Art und Umfang eines VPS sind in der VPS - Spezifikation VPS 100 (Institut für Rundfunktechnik, München) ausführlich beschrieben.

Mit einer Datenrate von 2,5 Mbit/s werden die Daten biphasen-codiert übertragen. Jede Datenzeile, Zeile 16, besteht aus 15 Bytes (= 120 bit), davon sind 13 sogenannte Nutzungswörter. Für das VPS relevant sind nur die Wörter 11, 12, 13 und 14. Diese werden von der Schaltnetz SAF 1134 geprüft und, wenn gültig, in das 32 bit-Eingangregister übernommen. Durch Auswertung der Sync-Impulsfolge VCS wird der Beginn von Zeile 16 gefunden. Besitzt die nun einlaufende Datenfolge DDA das festgelegte Bitmuster des Startcodes, so ist die Datenzeile identifiziert. Die Datenwörter 11, 12, 13 und 14 werden decodiert, zusätzlich auf Biphasen-Fehler untersucht und erst jetzt in das Eingangregister übernommen, sofern sie gültig sind. Sie werden in das Ausgangsregister übernommen, wenn nicht in diesem Moment über den Bus gelesen wird. Ist dieses der Fall, erfolgt die Übernahme erst bei der Stoppbedingung des Mikrocontrollers.

Das Ausgangsregister kann von einem Mikrocontroller über die I²C-Busschnittstelle gelesen werden. Die Datenübertragung der Schaltnetz ist völlig transparent, die Daten werden nicht modifiziert.

Die letzte fehlerfrei empfangene VPS-Information bleibt so lange im Ausgangsregister, bis sie über den I²C-Bus gelesen wird. Erneute Adressierung der Schaltnetz erzeugt intern einen Reset-Impuls, wenn nicht neue gültige VPS-Daten zwischenzeitlich empfangen worden sind. Ebenso bei angelegtem Reset (RESETN = LOW) wird das interne "New Data-Flag" zurückgesetzt und die Bits des Ausgangsregisters auf 1 gesetzt. Neue Daten stehen erst wieder nach Einlaufen einer neuen gültigen Datenzeile zur Verfügung.

Reset-Verhalten (RESETN)

Beim Anlegen der Speisespannung U_{DD} erreicht der mit einem Kondensator beschaltete Reseteingang RESETN, Anschluß 9, erst verzögert den HIGH-Zustand (interner 38 kΩ -pull-up-Widerstand), dadurch wird ein Einschaltreset erzeugt (RESETN = LOW). Extern kann auf Wunsch ein Reset-LOW-Impuls mit t_{pL} > 50 ns angelegt werden. In beiden Fällen werden die internen Register zurückgesetzt.

RESETN = LOW

- Reset des Steuerregisters der I²C-Busschnittstelle, des internen "New data flag" und der Zeitsteuerungen.
- Datenausgangsregister wird auf 1 gesetzt
- DAVN1 und DAVN2 werden LOW (LED brennt)
- DAR geht auf HIGH
- SDA wird freigegeben
- RESETN L/H-Übergang
- DAVN1 und DAVN2 werden HIGH
- die Reset-Periode ist mit der nächsten fallenden Flanke von D1CL beendet

Daten-Kennungssignale DAVN1 und DAVN2 (Bild 2)

- Beide Ausgänge sind gleich und haben zwei Funktionen
- Anschluß einer LED als Abstimmanzeige bei Abstimmung auf einen Sender mit VPS-Datenzeile
- Bereitstellung eines Triggerimpulses (Zwecks Erhöhung der Stromerleuchtbarkeit können die Anschlüsse parallelgeschaltet werden).

Nachdem im Eingangregister fehlerfreie VPS-Daten eingegangen sind, werden die Ausgänge DAVN1 und DAVN2 bis zum Beginn der nächsten Zeile 16 LOW.

Bei ungültigen Daten in Zeile 16 bleiben die Ausgänge jedoch HIGH, werden aber am Anfang der nächsten Zeile 16 für 100 ns auf LOW gezogen. In jedem Fall tritt am Anfang der Datenzeile ein L/H-Übergang auf, um z.B. ein Oszilloskop triggern zu können.

Daten-Reset-Signal DAR (Bild 3)

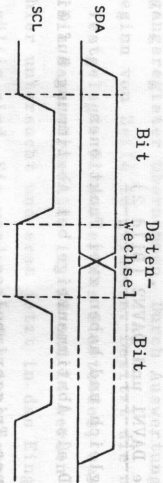
Ausgang für ein zeilenfrequentes Reset-Signal (LOW), von VCS abgeleitet, mit typisch 7,8 µs Dauer, um im SAA 5235 die Datenabtrennung und den Datentakt-Phasendetektor zurückzusetzen.

I²C-Bus-Schnittstelle

Der I²C-Bus ist ein bidirektionaler Zweileiterbus, dessen Datenleitung SDA und Taktleitung SCL extern über Widerstände an UDD gelegt werden. Ruhezustand ist der HIGH-Zustand, Signale sind Aktiv-LOW. Ein Datenverkehr darf erst beginnen, wenn der Bus frei ist, entsprechend ist die Startbedingung S definiert.

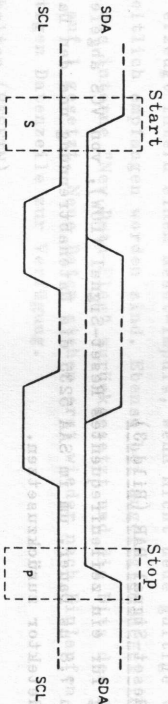
Übertragung eines Bits

Ein Datenbit auf SDA kann nur während eines Taktimpulses übertragen werden, es muß für die gesamte Taktimpulsdauer (SCL = HIGH) störungsfrei anliegen, da Änderungen Start- und Stoppbedingungen erzeugen können.



Start- und Stoppbedingungen

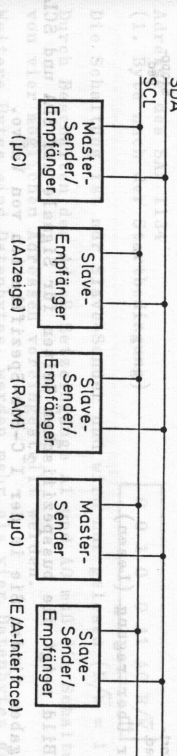
Im Ruhezustand sind SDA und SCL im HIGH-Zustand. Ein H/L-Übergang auf SDA (SCL = HIGH) erfüllt die Startbedingung S, ein L/H-Übergang auf SDA (SCL = HIGH) erfüllt die Stoppbedingung P.



Systemkonfiguration

Die Datenübertragung zwischen mehreren Schaltungen mit I²C-Bus-Schnittstelle am selben Bus kann wie folgt ablaufen. Eine Daten abgebende Schaltung ist Sender, eine Daten empfangende Schaltung ist Empfänger. Schaltungen, welche den Datenverkehr steuern sind Master und Schaltungen, welche gesteuert werden

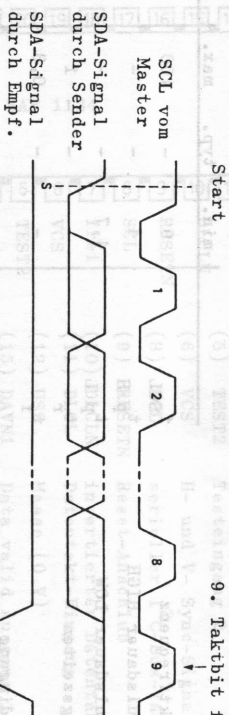
sind Slave. In der Praxis gibt es Master-Sender, Master-Empfänger, Slave-Sender und Slave-Empfänger.



V.2/697

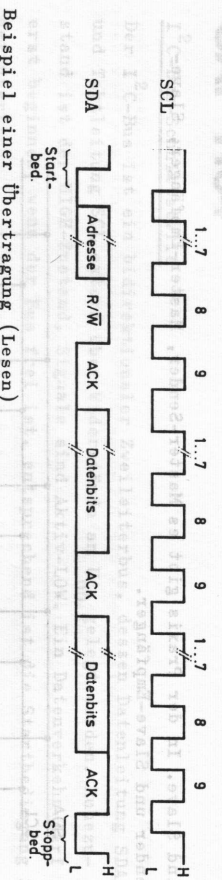
Quittierung

Die Anzahl der Bytes zwischen Start und Stopp ist in der Regel nicht begrenzt. Jedes Byte besteht aus acht Datenbits (Daten, Adressen, Befehle) und einem zusätzlichen quittungsbit A (acknowledge). Zum Übertragen einer Quittung muß SDA = HIGH sein, damit der Empfänger der Daten - mindestens für die Dauer des 9. Taktimpulses SCL - durch LOW-Setzen von SDA quittieren kann. Quittieren können Slave-Empfänger und Master-Empfänger. Durch Weglassen der Quittung kann der Master-Empfänger auch das Ende einer Übertragung bestimmen.



Datenübertragung (allgemein)

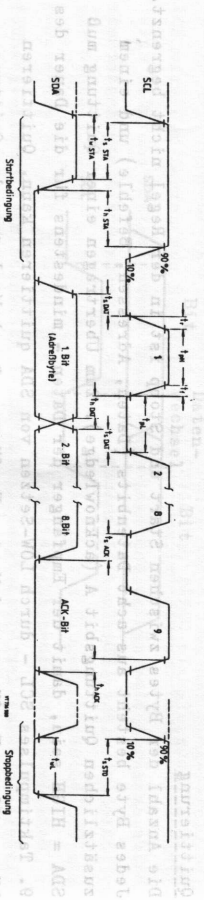
Ein Master-Sender muß mit der Startbedingung und dem Adreßbyte beginnen. Das 8. Bit des Adreßbytes R/W gibt an, ob der Master-Sender im folgenden Byte Schreiben (R/W = 0) oder Lesen (R/W = 1) will. Vier direkt auf das Startbit S folgende Bits geben den Schaltungstyp (vom Hersteller vorgeben) an. Die Bits A2, A1 und A0 müssen mit der Verdrahtung der Setzeingänge übereinstimmen, um eine bestimmte Schaltung zu adressieren. Bei gültiger Adressierung quittiert der Empfänger durch A. Das zweite Byte kann Daten oder weitere Adressierungen und Befehle beinhalten.



Beispiel einer Übertragung (Lesen)

Zeittabelle

Das folgende Bild zeigt die buspezifischen Zeiten für Signale auf SDA und SCL. Ergänzende Angaben finden Sie in der I²C-Bus-Spezifikation von Valvo.



Allgemein:

	f SCL	t p H	t p L	t r	t f	t w STA	t s STA	t h STA	t s STA	t h STA	t s DAT	t h DAT	t s ACK	t h ACK	t w L	t s STO
max. Taktfrequenz	0	-	-	-	100	-	-	-	-	-	-	-	-	-	-	-
Taktimpulsdauer HIGH	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Taktimpulsdauer LOW	4,7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Übergangszeiten	-	-	-	1	-	-	-	-	-	-	-	-	-	-	-	-
Startbedingung	-	-	-	-	0,3	-	-	-	-	-	-	-	-	-	-	-
Wartezeit (SDA HIGH)	4,7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Setzzeit (SCL HIGH)	4	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Haltezeit (SCL HIGH)	4,7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Daten-Setzzeit	0,25	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Daten-Haltezeit	0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Quittung-Setzzeit	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Quittung-Haltezeit	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Stopbedingung	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Wartezeit (SDA LOW)	4,7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
Setzzeit (SCL HIGH)	4,7	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-

I²C-Bus-Protokoll der Schaltung SAF 1134

S = Startbedingung, P = Stoppbedingung, A = Quittung (Acknowledge = 0)

A = keine Quittung (Acknowledge = 1)

Adresse des SAF 1134 (1. Byte nach der Startbedingung) 0 0 1 0 0 A1 A0 R/W

Die Schaltung ist nur Slave-Sender und wird nur gelesen (R/W = 1).

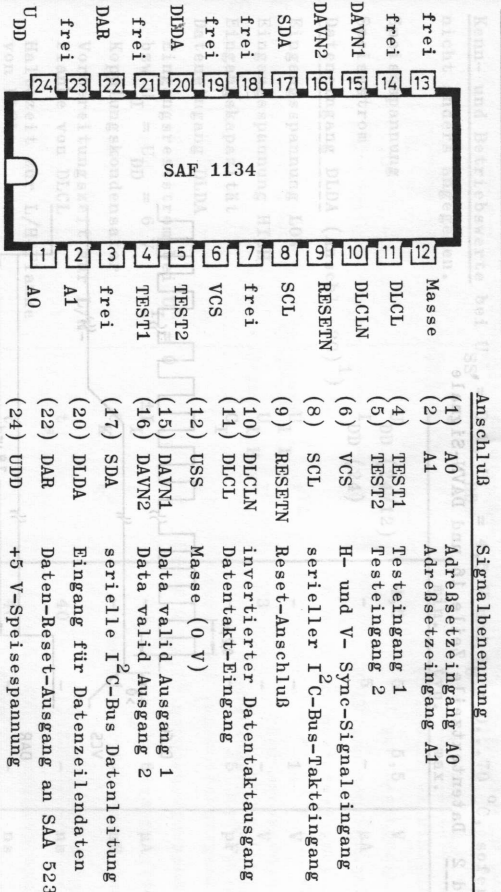
Durch Beschalten der Adreß-Setzeingänge A1 und A0 muß die Schaltung auf eine von vier möglichen Adressen voreingestellt werden.

Weitere Bytes sind Datenbytes, werden mehr als vier Datenbytes gelesen so wiederholt sich die Ausgabe der Wörter 12, 13 und 14.

Lesen des 32 bit-Ausgangsregisters:

S	0010 0XX1	A	XXXX XXXX	A	XXXX XXXX	A	XXXX XXXX	A	XXXX XXXX	A	XXXX XXXX	A	XXXX XXXX	A	XXXX XXXX	A	P
Adreßbyte	Word 11	Word 12	Word 13	Word 14	Word 15	Word 16	Word 17	Word 18	Word 19	Word 20	Word 21	Word 22	Word 23	Word 24	Word 25	Word 26	Word 27

Gehäuse und Anschlußbelegung, Gehäuse SOF-101, Epoxid-Plastik, 24 Anschlüsse



SAF 1134

Pin 1: Masse
 Pin 2: DLCL
 Pin 3: DLCLN
 Pin 4: RESETN
 Pin 5: SCL
 Pin 6: VCS
 Pin 7: TEST1
 Pin 8: TEST2
 Pin 9: TESTI
 Pin 10: SDA
 Pin 11: DLDA
 Pin 12: DAR
 Pin 13: UDD
 Pin 14: A0

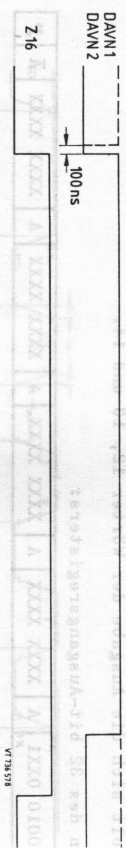
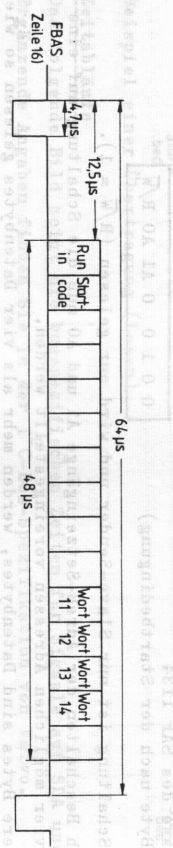


Bild 2 Datentextzeile Zeile 16 und DAVN-Signale

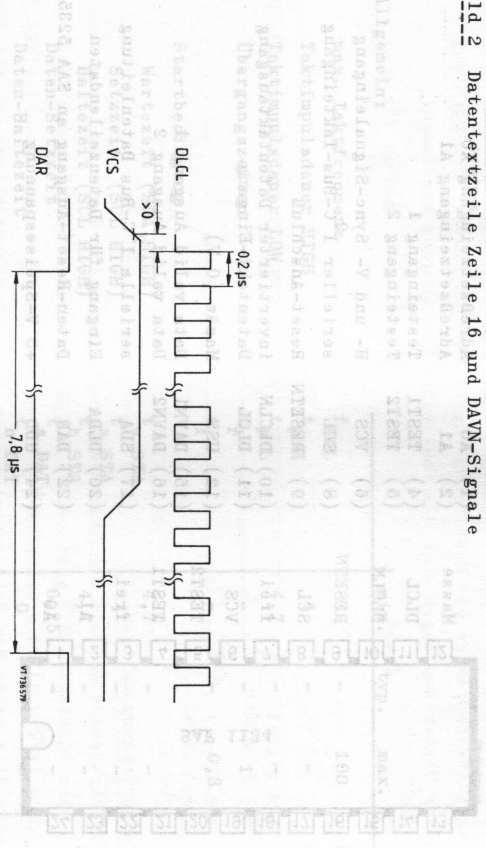


Bild 3 DAB-Impulsdiagramm



Absolute Grenzwerte ($U_{SS} = 0$)	min.	typ.	max.
Speisespannung	-0,5	-	7
Eingangsspannung, Anschlüsse 1, 2, 4, 5, 6, 8, 9, 11, 17 und 20	-0,5	-	$U_{DD} + 0,5$
Speisestrom	-	-	50
Eingangsstrom	-	-	10
Ausgangsstrom, Anschlüsse 10, 15, 16 und 22	-	-	18
Verlustleistung pro Ausgang	-	-	100
Gesamtverlustleistung ($\theta_{U} < 60^{\circ}C$)	-	-	400
Wärmewiderstand	-	8	-
Umgebungstemperatur	-	0	+70
Lagerungstemperatur	-65	-	+150

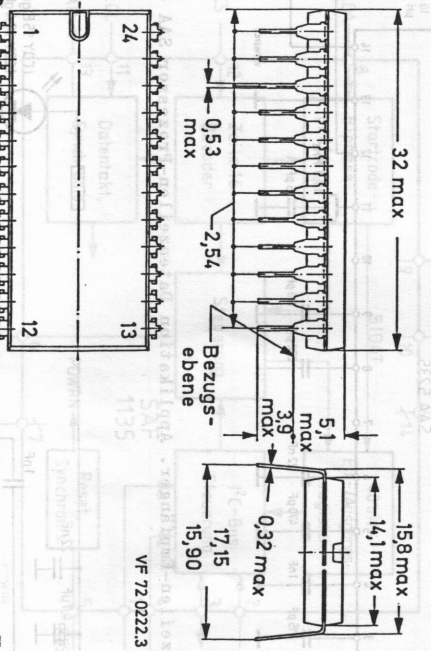
Kenn- und Betriebswerte bei $U_{SS} = 0$ V, $U_{DD} = 4,5$ V und $\theta_U = 0 \dots 70^{\circ}C$, sofern nicht anders angegeben.

	min.	typ.	max.
Speisespannung	4,5	5	5,5
Speisestrom	-	5	5,5
Dateneingang D1DA (Anschl. 20) ¹⁾	-	-	1
Eingangsspannung LOW	-	-	1
Eingangsspannung HIGH	3	-	-
Eingangskapazität	-	-	5
Dateneingang D1DA	-	-	5
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	6
Kopplungskondensator	-	1	-
Vorbereitungszeit zur L/H-Flanke von DLCL	40	-	-
Haltezeit zur L/H-Flanke von DLCL	40	-	-
Takteingang DLCL (Anschl. 11)	-	5,0	-
Taktfrequenz (ungefähr Sinus)	-	-	-
Eingangssignal	1	-	-
Kopplungskondensator	-	22	-
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	1

Sync-Eingang_VCS (Anschl. 6)	min.	typ.	max.
Eingangsspannung LOW	-	-	0,67 V
Eingangsspannung HIGH	3,0 V	-	-
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	1 μ A
Eingang TEST 1 (Anschl. 4)	-	-	-
Eingangsspannung LOW	-	-	0,67 V
Eingangsspannung HIGH	3,6 V	-	-
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	1 μ A
Arbeitszeiteingänge AO ₁ , A1	-	-	-
Eingang TEST2 (Anschl. 1, 2 und 5)	-	-	-
Eingangsspannung LOW	0 V	-	0,9 V
Eingangsspannung HIGH	3,15 V	-	U_{DD} V
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	1 μ A
I ² C-Bus, SDA und SCL	-	-	-
I ² C-Anschlüsse 17 und 8)	-	-	-
Eingangsspannung LOW	-	-	0,9 V
Eingangsspannung HIGH	3,6 V	-	-
Eingangsstrom bei $U_I = 0$ bzw. $U_I = U_{DD} = 6$ V	-	-	6 μ A
Eingangskapazität	-	-	5 pF
Quittung (acknowledge)	-	-	-
Ausgangsstrom auf SDA (sink)	-	-	3,2 mA
Ausgangsspannung ($I_{ACK} = 3$ mA)	-	-	0,33 V
Übergangszeit ($C_L = 400$ pF)	-	-	300 ns
unwirksame Störimpulsdauer	-	-	200 ns
RESET (Anschluß 9)	-	-	-
Eingangsspannung LOW (Reset)	-	-	0,67 V
Eingangsspannung HIGH	3,6 V	-	-
Eingangsstrom bei $U_I = 0,4$ V	-	-	100 μ A
Hysterese ($U_{DD} = 5$ V, $\vartheta_U = 25^\circ$ C)	-	-	0,5 V
Rücksetzzeit	-	-	50 ns

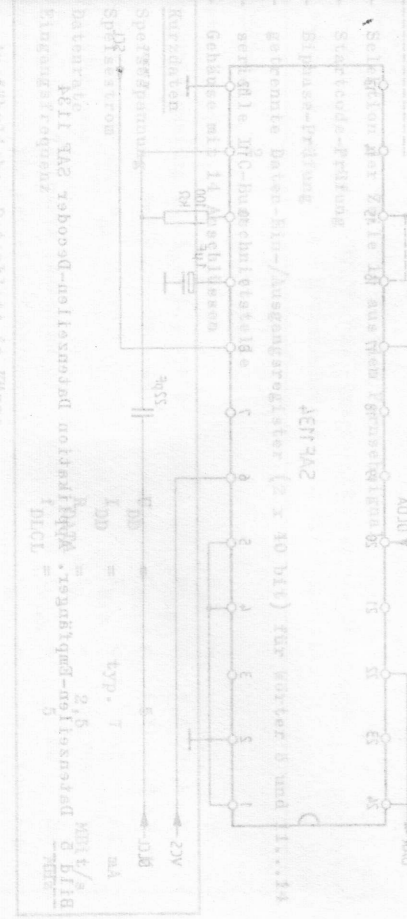
1) Bei R1 und R2 mit $\pm 10\%$ Tol. ($\pm 5\%$ ergeben größeren Störabstand)

Ausgänge DAVN1, DAVN2, DAR, DLCLN	min.	typ.	max.
Ausgangsspannung LOW ($I_{OL} = 1,6$ mA)	-	-	0,33 V
Ausgangsspannung HIGH ($I_{OH} = 2,5$ mA)	3,84 V	-	-
Ausgangsstrom (sink)	-	-	10 mA
Ausgangsspannung ($I_{OL} = 10$ mA)	-	-	0,9 V
Übergangszeit ($R_L = 50$ pF)	-	-	50 ns



Gehäuse

Abmessungen in mm
Kunststoff
dual in line
24 Anschlüsse



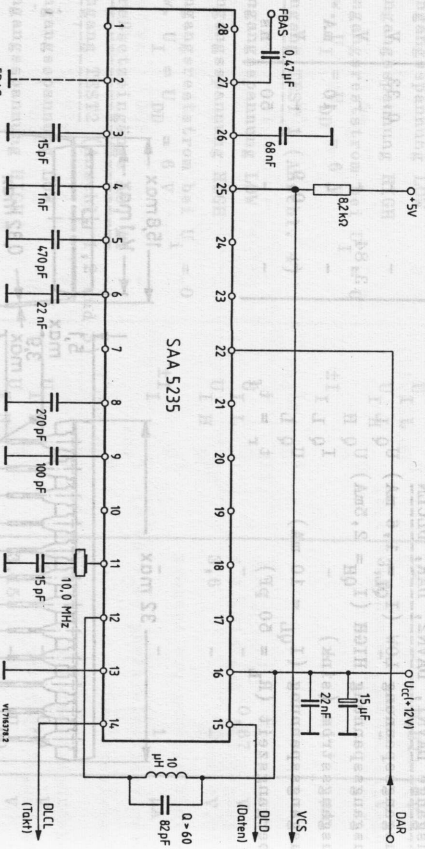


Bild 4 Datenzeilen-Empfänger · Applikation Datenzeilen-Prozessor SAA 5235

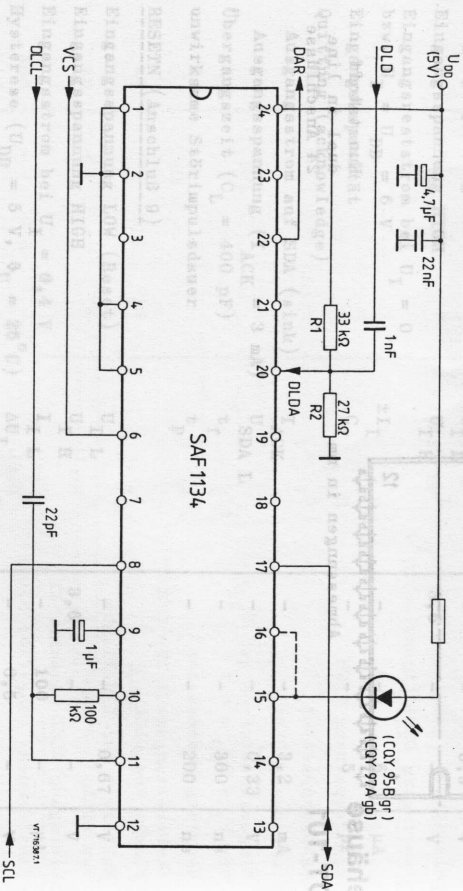


Bild 5 Datenzeilen-Empfänger · Applikation Datenzeilen-Decoder SAF 1134