

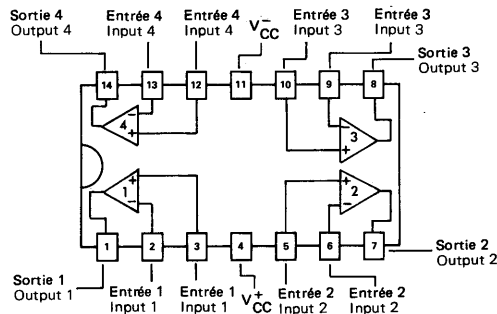
### QUADRUPLE AMPLIFICATEUR OPERATIONNEL QUADRUPLE OPERATIONAL AMPLIFIER

Le TDB0347 est un amplificateur opérationnel rapide dont les entrées comportent des transistors FET à jonction. Le TDB0347 est équipé d'une compensation ajustée intérieurement de la tension de décalage à l'entrée. Il ne demande qu'un faible courant d'alimentation et cependant conserve un produit GAIN x BANDE élevé. De plus, les transistors d'entrée J-FET, très bien appariés permettent de maintenir très faibles les courants de polarisation et de décalage. Le TDB0347 est directement interchangeable avec le TDB0148.

The TDB0347 is a low cost, high speed J-FET input operational amplifier with an internally trimmed input offset voltage. The device requires a low supply current and yet maintains a large GBW product. In addition well matched high voltage J-FET input devices provide very low input bias and offset currents. The TDB0347 is pin compatible with TDB0148.

#### BROCHAGE (Vue de dessus) PIN CONFIGURATION (Top view)

TO-116 (CB-2)  
BOITIER ENFICHABLE  
DUAL IN LINE PACKAGE



#### DONNEES PRINCIPALES

- Tension de décalage ajustée intérieurement **2 mV**
- Faible courant de polarisation **50 pA**
- Faible tension de bruit  **$16 \text{ nV}/\sqrt{\text{Hz}}$**
- Produit gain bande élevé **4 MHz**
- Forte pente du signal de sortie  **$13 \text{ V}/\mu\text{s}$**
- Faible courant d'alimentation **7,2 mA**
- Très grande impédance d'entrée  **$10^{12} \Omega$**
- Faible distorsion harmonique totale  **$< 0,02 \%$**

$(A_V = 10, R_L = 10 \text{ k}\Omega, V_O = 20 \text{ V}_{pp}, B = 20 \text{ Hz} + 20 \text{ kHz}) \dots$

#### PRINCIPAL FEATURES

- Internally trimmed offset voltage
- Low input bias current
- Low input noise voltage
- Wide gain bandwidth
- High slew rate
- Low supply current
- High input impedance
- Low total harmonic distortion

81 - 04 1/11

**VALEURS LIMITES ABSOLUES**  
**ABSOLUTE MAXIMUM RATINGS**

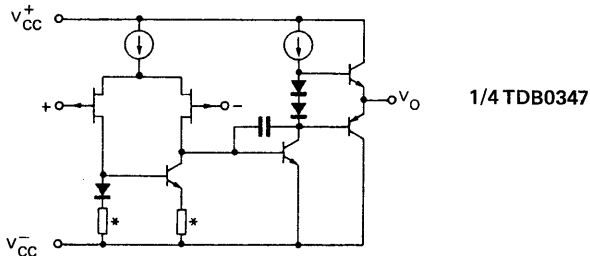
Type	Boîtier Package	Gamme de température ambiante de fonctionnement Operating free-air temperature range	Température de stockage Storage temperature	V <sub>CC</sub> (V)	P <sub>tot</sub> (mW) (note 1)	V <sub>ID</sub> (V)	V <sub>I</sub> (V) (Note 2)	Durée de court-circuit en sortie Output short-circuit duration (Note 3)
TDB0347 ADP	TO-116	0°C, +70°C	-65°C, +150°C	± 18	500	± 30	± 15	Permanente/ Continuous
TDB0347 BDP	TO-116	0°C, +70°C	-65°C, +150°C	± 18	500	± 30	± 15	
TDB0347 DP	TO-116	0°C, +70°C	-65°C, +150°C	± 18	500	± 30	± 15	

**Note 1 :** Pour fonctionner à des températures élevées, on réduira la puissance dissipée en tenant compte d'une résistance thermique jonction-ambiante de 150°C/W pour les dispositifs en boîtier TO-99 et 45°C/W pour ceux en boîtier CB-98. For operating at elevated temperature, the device must be derated based on a thermal resistance of 150°C/W junction-ambient for the TO-99 package and 45°C/W for the CB-98 package.

**Note 2 :** Sauf indication contraire, la valeur absolue maximale de la tension négative d'entrée ne doit pas excéder la valeur de la tension négative d'alimentation. Unless otherwise specified, the absolute max. negative input voltage is equal to the negative power supply voltage.

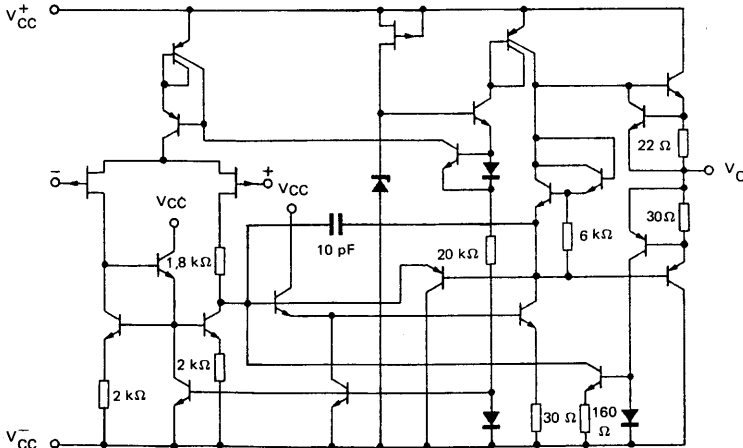
**Note 3 :** La puissance dissipée maximale permise ne doit pas être dépassée. Power dissipation max. rating cannot be exceeded.

**SCHEMA DE PRINCIPE**  
**SIMPLIFIED SCHEMATIC**



\* AJUSTEES INTERIEUREMENT  
 INTERNALLY TRIMMED

**SCHEMA ELECTRIQUE**  
**SCHEMATIC**



## CARACTERISTIQUES ELECTRIQUES ELECTRICAL CHARACTERISTICS

Sauf indications contraires, ces spécifications sont applicables pour:  
Unless otherwise specified, these specifications are apply for  
TDB0347  $0^{\circ}\text{C} \leq T_{\text{amb}} \leq +70^{\circ}\text{C}$ ,  $V_{\text{CC}} = \pm 15\text{V}$

PARAMÈTRES PARAMETERS	SYMBOLES SYMBOLS	CONDITIONS DE MESURE TEST CONDITIONS	TDB0347 A MIN. TYP. MAX.	TDB0347 B MIN. TYP. MAX.	TDB0347 MIN. TYP. MAX.	UNITES UNITS
Tension de décalage à l'entrée Input offset voltage	$V_{IO}$	$R_S = 10\text{ k}\Omega$ , $T_{\text{amb}} = +25^{\circ}\text{C}$	1	2	5	10
			4	7	13	
Courant de décalage à l'entrée Input offset current	$I_{IO}$	$T_I = +25^{\circ}\text{C}$ (note 4)	25	100	25	100
			$T_I \leq +70^{\circ}\text{C}$	2	4	4
Courant de polarisation Input bias current	$I_B$	$T_I = +25^{\circ}\text{C}$ (note 4)	50	200	50	200
			$T_I \leq +70^{\circ}\text{C}$	4	8	8
Amplification en tension Large signal voltage gain	$A_V$	$V_O = \pm 10\text{V}$ , $T_{\text{amb}} = +25^{\circ}\text{C}$ $R_L = 2\text{ k}\Omega$	50	100	25	100
			$V_O = \pm 10\text{V}$ $R_L = 2\text{ k}\Omega$	25		15
Courant fourni par les alimentations Supply current	$I_{\text{CC}}$		7.2	11	7.2	11
Tension d'entrée limite Input voltage range	$V_I \text{ max}$		$\pm 11$	$+15$ $-12$	$\pm 11$	$+15$ $-12$
Taux de rejeton dû aux alimentations Supply voltage rejection ratio	SVR	(note 5)	80	100	80	100
Coefficient de température de la tension de décalage à l'entrée Temperature coefficient of input offset voltage	$DV_{IO}$		10	10	10	$\mu\text{V}/^{\circ}\text{C}$
Taux de rejeton en mode commun Common mode rejection ratio	CMR	$R_S = 10\text{ k}\Omega$	80	100	80	100

NOTE 4 :  $V_{IO}$ ,  $I_B$  et  $I_{IO}$  sont mesurés à  $V_{\text{CM}} = 0$   
are measured at  $V_{\text{CM}} = 0$

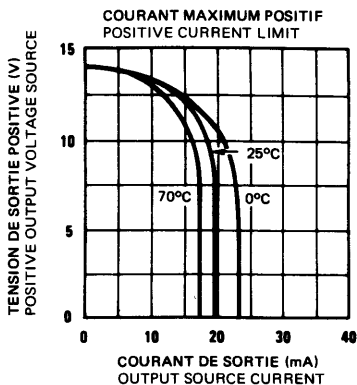
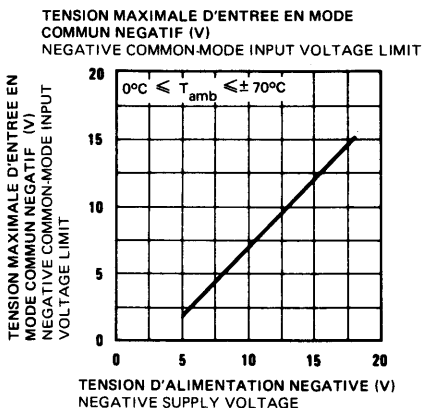
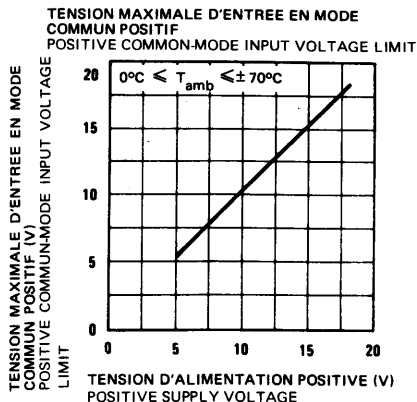
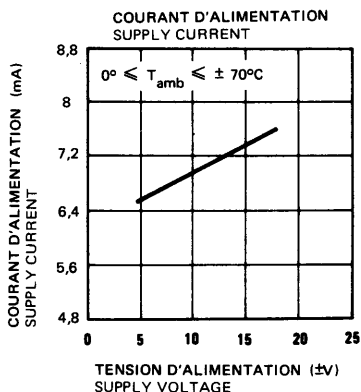
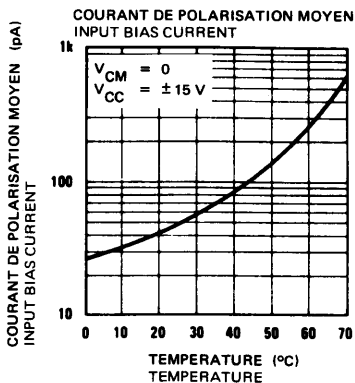
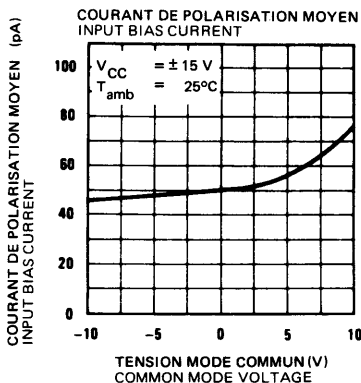
NOTE 5 : Le taux de rejeton par rapport aux alimentations est mesuré en augmentant ou en diminuant simultanément les deux tensions d'alimentation, comme cela se retrouve dans la pratique.  
Supply voltage rejection ratio is measured for both magnitudes increasing or decreasing simultaneous.

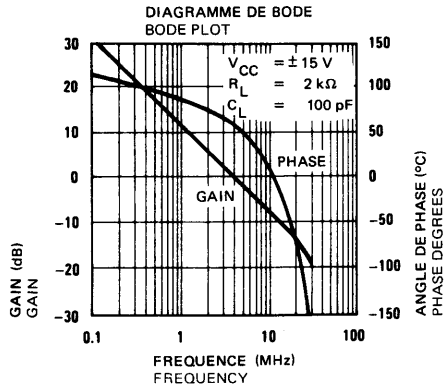
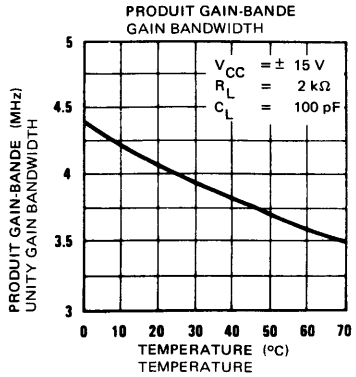
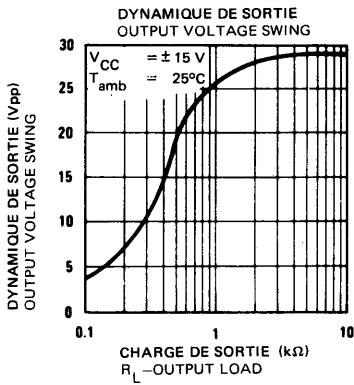
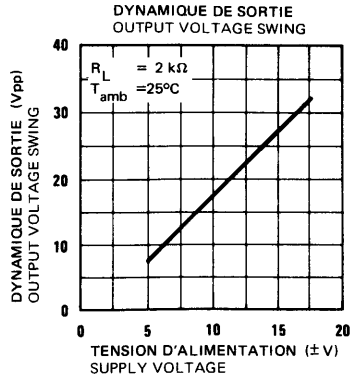
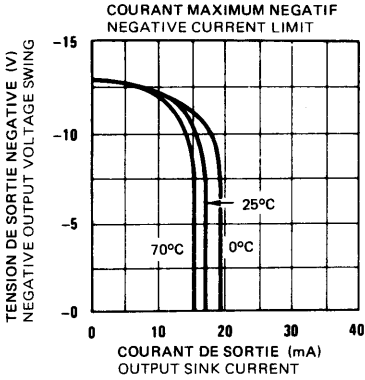
### CARACTERISTIQUES ELECTRIQUES

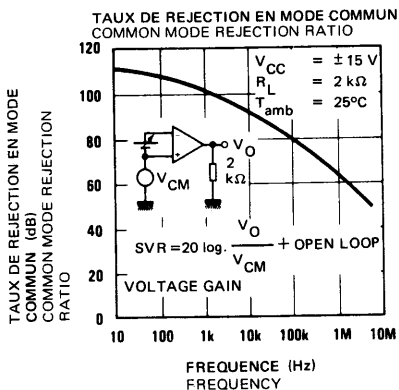
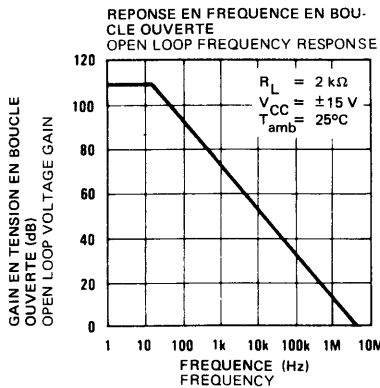
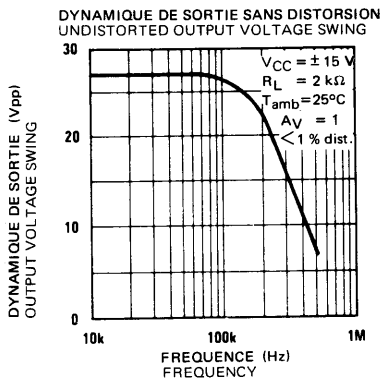
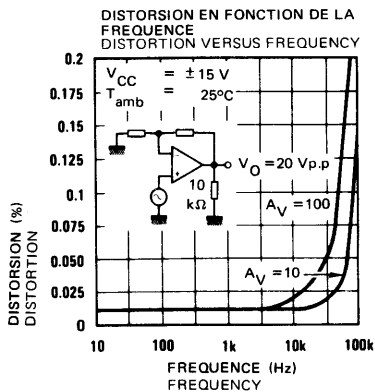
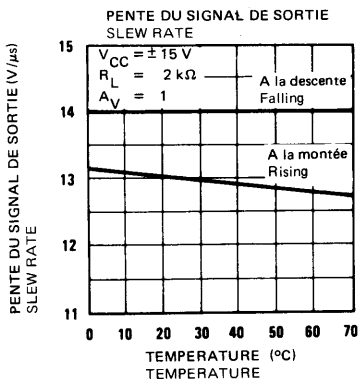
### ELECTRICAL CHARACTERISTICS

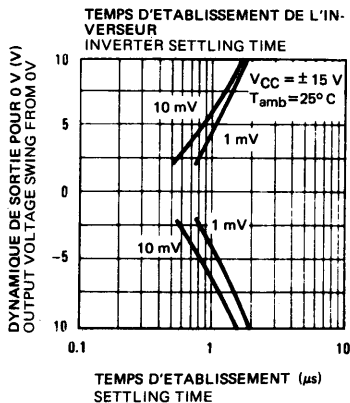
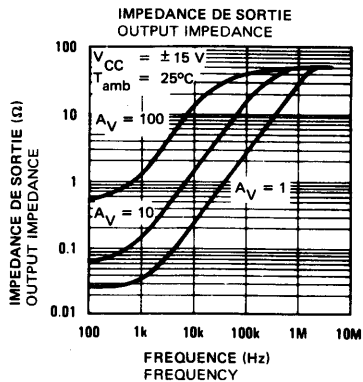
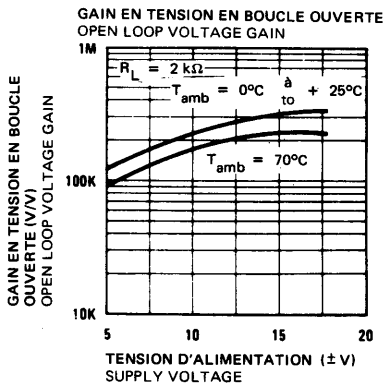
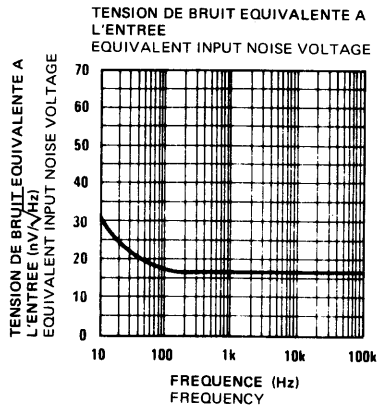
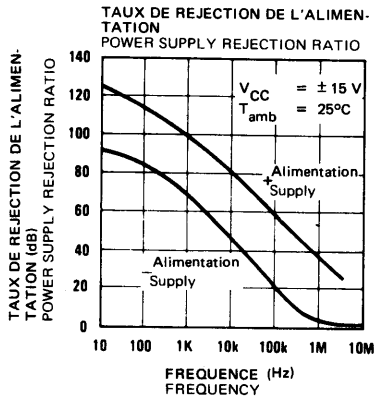
Sauf indications contraires, ces spécifications sont applicables pour:  
 Unless otherwise specified, these specifications are apply for:  
 TDB0347 0 °C ≤ T<sub>amb</sub> ≤ + 70 °C, V<sub>CC</sub> = ± 15 V

PARAMÈTRES PARAMETERS	SYMBOLES SYMBOLS	CONDITIONS DE MESURE TEST CONDITIONS	TDB0347 A MIN. TYP. MAX.	TDB0347 B MIN. TYP. MAX.	TDB0347 MIN. TYP. MAX.	UNITES UNITS
Résistance d'entrée Input resistance	R <sub>i</sub>	T <sub>j</sub> = + 25 °C	10 <sup>12</sup>	10 <sup>12</sup>	10 <sup>12</sup>	Ω
Dynamique de sortie Output voltage swing	V <sub>OPP</sub>	R <sub>L</sub> = 10 kΩ	± 12 ± 13,5	± 12 ± 13,5	± 12 ± 13,5	V
Pente maximale du signal de sortie Slew rate	S <sub>VO</sub>	T <sub>amb</sub> = + 25 °C	13	13	13	V/μs
Produit gain-bande Gain bandwidth product	GB	T <sub>amb</sub> = + 25 °C	4	4	4	MHz
Couplage entre amplificateurs Amplifier to amplifier coupling		1 Hz ≤ P ≤ 20 kHz	- 120	- 120	- 120	dB
Tension de bruit équivalente à l'entrée Equivalent input noise voltage	V <sub>n</sub>	R <sub>S</sub> = 100 Ω, f = 1 kHz T <sub>amb</sub> = + 25 °C	16	16	16	nV/√Hz
Courant de bruit équivalent à l'entrée Equivalent input noise current	i <sub>n</sub>	f = 1 kHz, T <sub>amb</sub> = + 25 °C	0,01	0,01	0,01	pA/√Hz





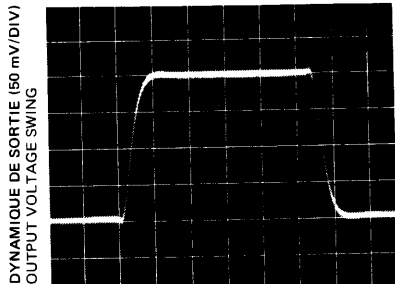






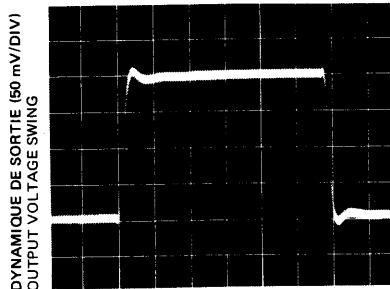
## COURBES DE REPONSE PULSE RESPONSE

REPONSE A UNE IMPULSION DE FAIBLE  
AMPLITUDE (ENTREE INVERSEUSE)  
SMALL SIGNAL INVERTING



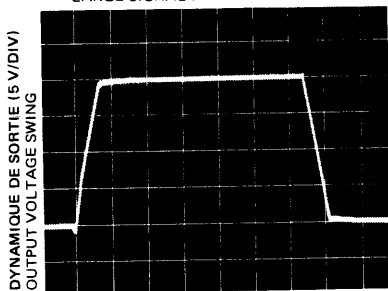
TEMPS (0,2 μs/DIV)  
TIME

REPONSE A UNE IMPULSION DE FAIBLE  
AMPLITUDE (ENTREE NON INVERSEUSE)  
SMALL SIGNAL NON-INVERTING



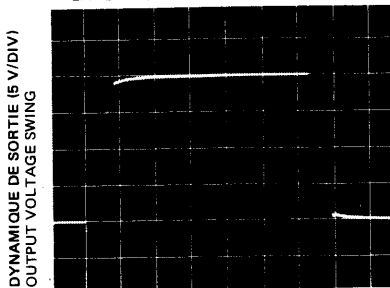
TEMPS (0,2 μs/DIV)  
TIME

REPONSE A UNE IMPULSION DE FORTE  
AMPLITUDE (ENTREE INVERSEUSE)  
LARGE SIGNAL INVERTING



TEMPS (2 μs/DIV)  
TIME

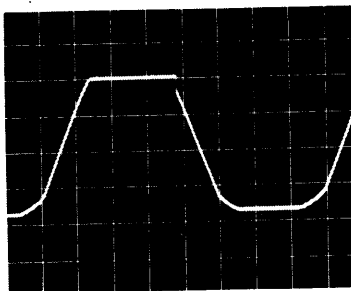
REPONSE A UNE IMPULSION DE FORTE  
AMPLITUDE (ENTREE NON INVERSEUSE)  
LARGE SIGNAL NON-INVERTING



TEMPS (2 μs/DIV)  
TIME

LIMITATION DE COURANT ( $R_L = 100 \Omega$ )  
CURRENT LIMIT

DYNAMIQUE DE SORTIE (1 V/DIV)  
OUTPUT VOLTAGE SWING



TEMPS (5 μs/DIV)  
TIME

## CONSEILS D'UTILISATION

Ces circuits intégrés sont des amplificateurs opérationnels dont la tension de décalage à l'entrée est ajustée intérieurement et dont les étages d'entrée sont constitués par des transistors à effet de champ à jonction possédant une tension de claquage élevée entre grille et source ou drain ce qui élimine la nécessité de diodes de protection sur les entrées. Par suite, des tensions différentielles d'entrée élevées peuvent être appliquées à ces circuits sans augmentation importante des courants d'entrée. La tension différentielle d'entrée maximale est indépendante des tensions d'alimentation toutefois, la tension négative sur l'une ou l'autre entrée ne doit pas dépasser la tension d'alimentation négative car cela entraînerait une augmentation trop élevée du courant d'entrée pouvant provoquer la destruction du circuit.

Dépasser la limite négative de tension d'entrée en mode commun sur l'une ou l'autre entrée provoque une inversion de phase sur la sortie et force cette sortie à l'état haut ou bas correspondant. Dépasser cette limite négative sur les 2 entrées force la sortie à l'état haut, mais en aucun cas il n'y a verrouillage puisque le retour de la tension d'entrée à l'intérieur de la plage de tension d'entrée en mode commun remet l'étage d'entrée et par conséquent le circuit en mode opératoire normal.

Dépasser la limite positive de tension d'entrée en mode commun sur une entrée ne change pas la phase, mais si les deux entrées dépassent cette limite la sortie est forcée à l'état haut.

Ces amplificateurs fonctionnent normalement avec une tension d'entrée en mode commun égale à la tension d'alimentation positive. Toutefois, dans ces conditions, le produit gain-bande et la pente du signal de sortie peuvent être diminués. Quand la tension négative en mode commun s'approche à moins de 3 V de l'alimentation négative, une augmentation de la tension de décalage à l'entrée peut se produire.

Chaque amplificateur est polarisé par une référence zener permettant un fonctionnement normal avec une alimentation de  $\pm 4$  V. Des tensions d'alimentations inférieures peuvent provoquer une diminution du produit gain-bande et de la pente du signal de sortie.

Un amplificateur peut, dans toute la gamme de température de 0°C à 70°C, fournir une tension de sortie de  $\pm 10$  V avec une résistance de charge de 2 k $\Omega$ . Toutefois, si le courant de charge devait être plus élevé, une augmentation de la tension de décalage à l'entrée pourrait se produire sur une phase négative de la tension et une limitation active du courant pourrait être atteinte aussi bien sur la phase positive que sur la phase négative.

Des précautions doivent être prises pour que la polarité des alimentations ne soit jamais inversée et que le circuit ne soit pas mis à l'envers dans son support sinon, un courant illimité traverse la diode directe ainsi formée et peut fondre des métallisations internes et détruire le circuit.

Les transistors à effet de champ des étages d'entrée étant de type à jonction (et non des MOS), aucune précaution particulière n'est à prendre pour la manipulation de ces circuits.

## APPLICATIONS HINTS

These devices are operational amplifiers with an internally trimmed input offset voltage and J-FET input devices. These J-FETs have large reverse breakdown voltages from gate to source drain eliminating the need for clamps across the inputs. Therefore large differential input voltages can easily be accommodated without a large increase in input current: The maximum differential input voltage is independent of the supply voltages. However, neither of the input voltages should be allowed to exceed the negative supply as this will cause large currents to flow which can result in a destroyed unit.

Exceeding the negative common-mode limit on either input will cause a reversal of the phase to the output and force the amplifier output to the corresponding high or low state. Exceeding the negative common-mode limit on both inputs will force the amplifier output to a high state. In neither case does a latch occur since raising the input back within the common-mode range again puts the input stage and thus the amplifier in a normal operating mode.

Exceeding the positive common-mode limit on a single input will not change the phase of the output however, if both inputs exceed the limit, the output of the amplifier will be forced to a high state.

The amplifiers will operate with a common-mode input voltage equal to the positive supply. However, the gain bandwidth and slew rate may be decreased in this condition. When the negative common-mode voltage swings to within 3 V of the negative supply, an increase in input offset voltage may occur.

Each amplifier is biased by a zener reference which allows normal circuit operation on  $\pm 4$  V power supplies. Supply voltages less than these may result in lower gain bandwidth and slew rate.

The amplifier drive a 2 k $\Omega$  load resistance to  $\pm 10$  V over the full temperature range of 0°C to + 70°C. If the amplifier is forced to drive heavier load currents, however, an increase in input offset voltage may occur on the negative voltage swing and finally reach an active current limit on both positive and negative swings.

Precautions should be taken to ensure that the power supply for the integrated circuit never becomes reversed in polarity or that the unit is not inadvertently installed backwards in a socket as an unlimited current surge through the resulting forward diode within the IC could cause fusing of the internal conductors and result in a destroyed unit.

Because these amplifiers are J-FET rather than MOSFET input operational amplifiers they do not require special handling.

## CONSEILS D'UTILISATION (SUITE)

Comme pour la majorité des amplificateurs, il faut prendre grand soin à l'emplacement des conducteurs, des composants extérieurs ou des découplages des alimentations pour assurer la stabilité. Par exemple, le corps d'une résistance reliant la sortie à une entrée doit être placé le plus près possible de l'entrée pour minimiser l'effet de "capteur", augmenter la fréquence du pôle de contre-réaction en réduisant au minimum la capacité entre l'entrée et la masse.

Un pôle de contre-réaction est créé lorsque la contre-réaction est résistive. La résistance et la capacité parallèles entre l'entrée du circuit (en général l'entrée inverseuse) et la masse, fixent la fréquence du pôle. En général, cette fréquence est beaucoup plus élevée que la fréquence à 3 dB prévue pour le gain en boucle fermée et par conséquent n'a que peu d'influence sur la marge de stabilité. Toutefois, si cette fréquence est inférieure à six fois la fréquence à 3 dB, une capacité doit être placée entre la sortie et l'entrée de l'amplificateur. La valeur de cette capacité additionnelle doit être telle que la constante de temps RC de cette capacité et de la résistance en parallèle soit plus grande ou au moins égale à la constante de temps du pôle de contre-réaction initial.

## APPLICATIONS HINTS (CONTINUED)

As with most amplifiers, care should be taken with lead dress, component placement and supply decoupling in order to ensure stability. For example, resistors from the output to an input should be placed with the body close to the input to minimize "pickup" and maximize the frequency of the feedback pole by minimizing the capacitance from the input to ground.

A feedback pole is created when the feedback around any amplifier is resistive. The parallel resistance and capacitance from the input of the device (usually the inverting input) to IC ground set the frequency of the pole. In many instances, the frequency of this pole is much greater than the expected 3 dB frequency of the closed loop gain and consequently there is negligible effect on stability margin. However, if the feedback pole is less than approximately six times the expected 3 dB frequency a lead capacitor should be placed from the output to the input of the op amp. The value of the added capacitor should be such that the RC time constant of this capacitor and the resistance it parallels is greater than or equal to the original feedback pole time constant.

APPLICATION TYPIQUE  
TYPICAL APPLICATION